

Docket No.: 50090-247

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Osamu HASHIMOTO, et al.

Serial No.:

Group Art Unit:

Filed: December 07, 2000

Examiner:

For: APPARATUS AND METHOD OF INSPECTING SEMICONDUCTOR INTEGRATED
CIRCUIT

jc784 U.S. PTO
09/730750
12/07/00

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

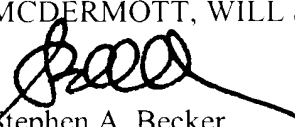
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-173471,
filed June 9, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: December 7, 2000
Facsimile: (202) 756-8087

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

50290-247
Hoshimoto, et al.
December 7, 2000



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 6月 9日

出願番号

Application Number:

特願2000-173471

出願人

Applicant(s):

三菱電機株式会社

2000年 6月29日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦

出証番号 出証特2000-3049917

【書類名】 特許願
 【整理番号】 523918JP01
 【提出日】 平成12年 6月 9日
 【あて先】 特許庁長官殿
 【国際特許分類】 G01R 31/26
 H01L 21/66

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

【氏名】 橋本 修

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

【氏名】 谷村 政明

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9911111

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の検査装置および検査方法

【特許請求の範囲】

【請求項 1】 ベース基板上に複数の半導体集積回路を搭載してそれらの検査を行う半導体集積回路の検査装置であって、

前記ベース基板の配線パターンと導通する複数の中継ピンと、

前記ベース基板上に、半導体集積回路を収容するために搭載されるソケットと

、
前記ソケットが有するソケットターミナルを、特定の中継ピンに導通させる交換基板と、

前記交換基板と前記ベース基板との間に介在するスペーサと、

を備えることを特徴とする半導体集積回路の検査装置。

【請求項 2】 前記交換基板は、フィルム状のシート基板であり、

前記シート基板とスペーサとの間に、前記シート基板を補強する補強板を備えることを特徴とする請求項 1 記載の半導体集積回路の検査装置。

【請求項 3】 前記交換基板は、前記中継ピンを勘合保持するピンソケットを備え、前記中継ピンに対して着脱可能であることを特徴とする請求項 1 または 2 記載の半導体集積回路の検査装置。

【請求項 4】 前記ベース基板は、前記中継ピンを勘合保持するピンソケットを備え、

前記交換基板は、前記中継ピンと共に前記ベース基板から着脱可能であることを特徴とする請求項 1 または 2 記載の半導体集積回路の検査装置。

【請求項 5】 前記ベース基板は、前記交換基板と対向する領域に、回路素子、若しくは回路素子を搭載するためのパターンを備えていることを特徴とする請求項 1 乃至 4 の何れか 1 項記載の半導体集積回路の検査装置。

【請求項 6】 前記交換基板は、前記ベース基板と対向する面に、回路素子、若しくは回路素子を搭載するためのパターンを備えていることを特徴とする請求項 1 乃至 4 の何れか 1 項記載の半導体集積回路の検査装置。

【請求項 7】 ベース基板上に複数の半導体集積回路を搭載してそれらの検

査を行う半導体集積回路の検査装置であって、

前記ベース基板は、

検査装置本体の端子と導通する複数の接続端子と、

半導体集積回路の端子に結線される複数の配線パターンと、

前記接続端子と前記配線パターンとの結線状態を切り替える結線ユニットと、

を備えることを特徴とする半導体集積回路の検査装置。

【請求項 8】 前記結線ユニットは、ピンが挿入されることにより、前記配線パターンと前記接続端子とを接続状態とするピンソケットを含み、

前記ピンソケットは、複数の配線パターンのそれぞれと一の接続端子との間、および／または、複数の接続端子のそれぞれと一の配線パターンとの間に配置されることを特徴とする請求項 7 記載の半導体集積回路の検査装置。

【請求項 9】 前記結線ユニットは、短絡素子が搭載されることにより、前記配線パターンと前記接続端子とを接続状態とする素子実装パターンを含み、

前記素子実装パターンは、複数の配線パターンのそれぞれと一の接続端子との間、および／または、複数の接続端子のそれぞれと一の配線パターンとの間に配置されることを特徴とする請求項 7 記載の半導体集積回路の検査装置。

【請求項 10】 前記結線ユニットは、複数の配線パターンのそれぞれと一の接続端子との接続状態を切り替えるディップスイッチ、および複数の接続端子のそれぞれと一の配線パターンとの接続状態を切り替えるディップスイッチの少なくとも一方を含むことを特徴とする請求項 7 記載の半導体集積回路の検査装置。

【請求項 11】 請求項 1 乃至 10 の何れか 1 項記載の検査装置を用いて半導体集積回路を検査することを特徴とする検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の検査装置および検査方法に係り、特に、バーンイン検査の実行に適した検査装置および検査方法に関する。

【0002】

【従来の技術】

半導体集積回路の製造工程では、初期不良を発見するためのバーンイン検査などが実行される。バーンイン検査を行うための検査装置は、通常、複数の半導体集積回路を搭載するためのバーンイン基板を備えている。バーンイン基板のうえには、半導体集積回路を装着するための複数のソケットが配置される。ソケットに装着される半導体集積回路は、ソケットのターミナルやバーンイン基板の配線パターンなどを介して検査装置の本体と電氣的に接続される。

【0003】

バーンイン基板に搭載されるソケットは、半導体集積回路のパッケージ毎に準備する必要がある。従って、パッケージの異なる複数の半導体集積回路を対象として検査を行う必要がある場合は、個々の半導体集積回路毎にバーンイン基板を準備する必要がある。

【0004】

また、同じパッケージを有する半導体集積回路であっても、各ピンの機能が統一されていない場合は、検査装置本体の設定変更で対処できない限り、同一のバーンイン基板を用いることはできない。従って、この場合は、同じパッケージを有する複数の半導体集積回路のそれぞれについて、専用のバーンイン基板を準備する必要が生ずる。

【0005】

バーンイン基板に、品種の異なる複数の半導体集積回路に対する汎用性を持たせる手法は、例えば特開平6-58987号公報に開示されている。この手法は、パッケージが同一であり、主に電源ピンとGNDピンの配列が異なる半導体集積回路について、同一のバーンイン基板を共用するための手法である。

【0006】

図10は、上記公報に開示されるバーンイン基板の一部を表す斜視図である。図10において、バーンイン基板1の表面には、半導体集積回路2を収容する複数のソケット3が配置されている（図10には、それらの一つが表示されている）。ソケット3には、半導体集積回路2が備える複数の端子のそれぞれに対応するソケットターミナル4が設けられている。

【 0 0 0 7 】

バーンイン基板 1 はそれらのソケットターミナル 4 に対応するスルーホールを備えており、ソケット 3 は、ソケットターミナル 4 がバーンイン基板 1 の裏面側に突出するように配置されている。バーンイン基板 1 の裏面側には、更に、バーンイン基板 1 が備える電源用パターン、或いは GND 用パターンと導通する中継ピン 5 が設けられている。

【 0 0 0 8 】

バーンイン基板 1 の裏面には、交換基板 6 が装着される。交換基板 6 には、ソケットターミナル 4 用のスルーホール（7 を含む）と中継ピン 5 用のスルーホール 8、並びに特定のスルーホール 7 と中継ピン 5 用のスルーホール 8 とを結ぶ配線パターン 9 が設けられている。

【 0 0 0 9 】

特定のスルーホール 7 に挿入されるソケットターミナル 4 と、スルーホール 8 に挿入される中継ピン 8 とは、交換基板 6 がバーンイン基板 1 に装着されることにより導通する。つまり、半導体集積回路の端子のうち、スルーホール 7 に対応する端子は、交換基板 6 がバーンイン基板に装着されることにより、交換基板 6 を介して、バーンイン基板の電源用パターン或いは GND 用パターンと導通する。従って、図 1 0 に示す構造によれば、交換基板 6 を適当に交換することで、単一のバーンイン基板 3 に対して、電源ピンや GND ピンの配置の異なる複数の半導体集積回路 2 に対する汎用性を持たせることができる。

【 0 0 1 0 】

【発明が解決しようとする課題】

近年では、半導体集積回路の検査機能を有するバーンイン検査装置が用いられている。このような検査装置では、半導体集積回路の電源ピンや GND ピンに対する電氣的な接続が必要となると共に、半導体集積回路の信号ピンに対する電氣的接続も要求される。従って、複数の半導体集積回路が異なる信号ピン配置を有する場合、バーンイン基板は、その信号ピン配置の相異にも対処する必要がある。

【 0 0 1 1 】

図 1 1 (A) および図 1 1 (B) は、電源ピンや GND ピンの配置に加えて信号ピンの配置が相異なる 2 つの半導体集積回路 IC 1 および IC 2 を対象として、上述した従来の手法を用いた場合を説明するための図を示す。尚、これらの図においては、簡単のため、バーンイン基板およびソケットの図示は省略している。

【 0 0 1 2 】

図 1 1 (A) および図 1 1 (B) に示す例では、IC 1 および IC 2 が備える全ての端子に対応して中継ピン 8 が準備され、全ての端子は、交換基板 6 A または 6 B を介してバーンイン基板の配線パターンとの接続を得る。この場合、交換基板 6 A や 6 B には、所望の接続を得るために、複雑な配線構造が要求されることがある。この例では、図 1 1 (B) に示すように、交換基板 6 B に対して、複雑なクロス配線が要求されている。

【 0 0 1 3 】

図 1 1 (B) に示すようなクロス配線は、例えば交換基板 6 B を多層配線基板とすることにより、或いは複数の単層基板を重ね合わせて交換基板 6 B を構成することにより実現することはできる。しかしながら、そのような措置を講じたのでは、バーンイン基板の汎用化に伴う利益が相殺され、実用的な意味が希薄となる。

【 0 0 1 4 】

また、上述した従来の手法では、バーンイン基板 1 にソケットターミナル 4 のスルーホールを設け、かつ、中継ピンを配置する必要がある。このため、従来の手法では、バーンイン基板 1 に、個々の半導体集積回路に対して大きな占有面積が必要となる。その結果、一枚のバーンイン基板に搭載し得る半導体集積回路の数が減少するという問題も生ずる。

【 0 0 1 5 】

また、従来の手法において、バーンイン基板 1 に設けられるスルーホールは、個々のソケット 3 専用に設けられたものである。このため、単一のバーンイン基板 1 を複数のソケットについて共通に用いることはできず、一枚のバーンイン基板 1 で広範な半導体集積回路に対応することはできなかった。

【 0 0 1 6 】

更に、従来の手法は、上述した問題点に加え、ワードビット構成の異なる複数の半導体集積回路に対処することができない、或いは、電源用パターンやGND用パターンに生ずるノイズを除去するためのバイパスコンデンサ等を配置するスペースが確保できない、等の問題も有している。

【 0 0 1 7 】

本発明は、上記のような課題を解決するためになされたもので、種々の半導体集積回路に対して広範に対処することのできる汎用性の高い検査装置を提供することを第1の目的とする。

また、本発明は、上記特性を有する検査装置を用いて半導体集積回路を検査する方法を提供することを第2の目的とする。

【 0 0 1 8 】

【課題を解決するための手段】

請求項1記載の発明は、ベース基板上に複数の半導体集積回路を搭載してそれらの検査を行う半導体集積回路の検査装置であって、

前記ベース基板の配線パターンと導通する複数の中継ピンと、

前記ベース基板上に、半導体集積回路を収容するために搭載されるソケットと

、
前記ソケットが有するソケットターミナルを、特定の中継ピンに導通させる交換基板と、

前記交換基板と前記ベース基板との間に介在するスペーサと、

を備えることを特徴とするものである。

【 0 0 1 9 】

請求項2記載の発明は、請求項1記載の半導体集積回路の検査装置であって、

前記交換基板は、フィルム状のシート基板であり、

前記シート基板とスペーサとの間に、前記シート基板を補強する補強板を備えることを特徴とするものである。

【 0 0 2 0 】

請求項3記載の発明は、請求項1または2記載の半導体集積回路の検査装置で

あって、前記交換基板は、前記中継ピンを勘合保持するピンソケットを備え、前記中継ピンに対して着脱可能であることを特徴とするものである。

【 0 0 2 1 】

請求項 4 記載の発明は、請求項 1 または 2 記載の半導体集積回路の検査装置であって、

前記ベース基板は、前記中継ピンを勘合保持するピンソケットを備え、

前記交換基板は、前記中継ピンと共に前記ベース基板から着脱可能であることを特徴とするものである。

【 0 0 2 2 】

請求項 5 記載の発明は、請求項 1 乃至 4 の何れか 1 項記載の半導体集積回路の検査装置であって、前記ベース基板は、前記交換基板と対向する領域に、回路素子、若しくは回路素子を搭載するためのパターンを備えていることを特徴とするものである。

【 0 0 2 3 】

請求項 6 記載の発明は、請求項 1 乃至 4 の何れか 1 項記載の半導体集積回路の検査装置であって、前記交換基板は、前記ベース基板と対向する面に、回路素子、若しくは回路素子を搭載するためのパターンを備えていることを特徴とするものである。

【 0 0 2 4 】

請求項 7 記載の発明は、ベース基板上に複数の半導体集積回路を搭載してそれらの検査を行う半導体集積回路の検査装置であって、

前記ベース基板は、

検査装置本体の端子と導通する複数の接続端子と、

半導体集積回路の端子に結線される複数の配線パターンと、

前記接続端子と前記配線パターンとの結線状態を切り替える結線ユニットと、を備えることを特徴とするものである。

【 0 0 2 5 】

請求項 8 記載の発明は、請求項 7 記載の半導体集積回路の検査装置であって、前記結線ユニットは、ピンが挿入されることにより、前記配線パターンと前記

接続端子とを接続状態とするピンソケットを含み、

前記ピンソケットは、複数の配線パターンのそれぞれと一の接続端子との間、および／または、複数の接続端子のそれぞれと一の配線パターンとの間に配置されることを特徴とするものである。

【 0 0 2 6 】

請求項 9 記載の発明は、請求項 7 記載の半導体集積回路の検査装置であって、前記結線ユニットは、短絡素子が搭載されることにより、前記配線パターンと前記接続端子とを接続状態とする素子実装パターンを含み、

前記素子実装パターンは、複数の配線パターンのそれぞれと一の接続端子との間、および／または、複数の接続端子のそれぞれと一の配線パターンとの間に配置されることを特徴とするものである。

【 0 0 2 7 】

請求項 1 0 記載の発明は、請求項 7 記載の半導体集積回路の検査装置であって、

前記結線ユニットは、複数の配線パターンのそれぞれと一の接続端子との接続状態を切り替えるディップスイッチ、および複数の接続端子のそれぞれと一の配線パターンとの接続状態を切り替えるディップスイッチの少なくとも一方を含むことを特徴とするものである。

【 0 0 2 8 】

請求項 1 1 記載の発明は、半導体集積回路の検査方法であって、半導体集積回路の検査を、請求項 1 乃至 1 0 の何れか 1 項記載の検査装置を用いて行うことを特徴とするものである。

【 0 0 2 9 】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する。

【 0 0 3 0 】

実施の形態 1.

図 1 は、本発明の実施の形態 1 の半導体集積回路のバーンイン検査装置の主要

部を表す図である。また、図 2 は、本実施形態のバーンイン検査装置の全体構成を説明するための概念図である。本実施形態のバーンイン検査装置は、半導体集積回路の動作を検査する機能を備えており、通常のバーンイン処理に加えて、半導体集積回路の OK / NG 判定を行うことができる。

【 0 0 3 1 】

図 2 に示すように、バーンイン検査装置は、検査装置本体 1 0 と、バーンイン基板 1 2 とを備えている。検査装置本体 1 0 には、複数の選択信号端子（選択信号 1 および 2 の端子を含む）、複数の I/O 端子（I/00 ~ I/05 の端子を含む）、複数の信号端子（信号 A および B の端子を含む）、および電源端子 P S 1 並びに G N D 端子などが設けられている。

【 0 0 3 2 】

バーンイン基板 1 2 には、半導体集積回路を収容するための複数のソケット 1 4 が配置されている。ソケット 1 4 は、行方向（縦方向）および列方向（横方向）にそれぞれ所定数並んで配置されている。図 2 に示す例において、選択信号は行毎に設定されており、例えば選択信号 1 図中右側の行に属する全てのソケット 1 4 に供給される。I/00 ~ I/05 の端子は列毎に設定されており、例えば I/00 端子は、図中最も上側の列に属する全てのソケット 1 4 に接続されている。また、信号 A や信号 B の端子は、全てのソケット 1 4 に対して共通に接続されている。

【 0 0 3 3 】

本実施形態において、同じ列に属する全てのソケット 1 4 には、上記の如く単一の I/O 端子が接続されている。つまり、同じ列に配置される全ての半導体集積回路には、単一の I/O 端子が接続される。本実施形態の検査装置は、それらの半導体集積回路から出力される信号が、I/O 端子に通じる信号線内で衝突するのをさけるため、選択信号により個々の行を走査しながら複数の半導体集積回路を検査する。このような手法によれば、コンパレータを備える高価な I/O 端子などを複数の半導体集積回路に対して共用しつつ、個々の半導体集積回路の状態を正確に検査することができる。

【 0 0 3 4 】

本実施形態の検査装置では、ソケット 1 4 を介して半導体集積回路をバーンイン

ン基板 1 2 に搭載し、それらの半導体集積回路の端子を、バーンイン基板 1 2 を介して検査装置本体 1 0 の種々の端子に接続させることが要求される。半導体集積回路のパッケージには、多様な種類が存在する。従って、ソケット 1 4 は、それらの多様な種類のそれぞれに応じて変更する必要がある。また、半導体集積回路において、個々のピンに割り当てられる機能は製品毎に個々に決定される。従って、半導体集積回路の端子と検査装置本体の端子とを結ぶ配線の構造は、半導体集積回路毎に決定されなければならない。

【 0 0 3 5 】

このように、種々の半導体集積回路を検査対象として想定した場合、バーンイン基板 1 2 には、ソケット 1 4 の種類や配線の構造などに関して、高い柔軟性が要求される。本実施形態の検査装置は、バーンイン基板 1 2 を図 1 に示す構造とすることで、種々の半導体集積回路に対処するための柔軟性乃至汎用性を実現している。

【 0 0 3 6 】

図 1 に示すように、本実施形態において、バーンイン基板 1 2 には、複数の中継ピン 1 8、より具体的には、検査対象である半導体集積回路の端子数と同数の中継ピン 1 8 が挿入されている。中継ピン 1 8 は、それぞれ、バーンイン基板 1 2 に設けられたスルーホールに半田付けされている。個々のスルーホールは、検査装置本体 1 0 (図 2 参照) が備える種々の端子に導通している。従って、中継ピン 1 8 のそれぞれは、検査装置本体 1 0 が備える複数の端子のそれぞれと導通している。

【 0 0 3 7 】

バーンイン基板 1 2 の上には、スペーサ 2 0 を介して交換基板 2 2 が配置されている。従って、本実施形態において、バーンイン基板 1 2 と交換基板 2 2 との間には、スペーサ 2 0 の高さと同しい空間が確保されている。バーンイン基板 1 2 から延在する中継ピン 1 8 は、交換基板 2 2 にも挿入されており、交換基板 2 2 が備えるスルーホールに半田付けされている。

【 0 0 3 8 】

交換基板 2 2 の上部には、ソケット 1 4 が配置されている。ソケット 1 4 は、

その内部に収容する半導体集積回路の端子に対応する複数のソケットターミナル 2 4 を備えている。ソケットターミナル 2 4 は、交換基板 2 2 が備えるスルーホールに半田付けされている。

【 0 0 3 9 】

交換基板 2 2 には、ソケットターミナル 2 4 に半田付けされるスルーホールと、中継ピン 1 8 に半田付けされるスルーホールとを電氣的に導通させる配線パターンが設けられている。このため、図 1 に示す構造において、特定のソケットターミナル 2 4 は、それぞれ特定の中継ピン 1 8 と導通しており、更には、中継ピン 1 8 およびバーンイン基板 1 2 を介して、検査装置本体 1 0 (図 2 参照) の特定の端子と導通している。

【 0 0 4 0 】

図 1 に示す構造によれば、中継ピン 2 2 と交換基板 2 2 との半田付けを外すことで、バーンイン基板 1 2 に何らダメージを与えることなく交換基板 2 2 をバーンイン基板 1 2 から取り外すことができる。つまり、本実施形態の構造によれば、交換基板 2 2 とソケット 1 4 の交換を、バーンイン基板 1 2 にダメージを与えることなく容易に行うことができる。従って、本実施形態の検査装置によれば、半導体集積回路のピン数が中継ピン 1 8 の本数を超えない限り、半導体集積回路のパッケージやピン配置の相異に関わらず、単一のバーンイン基板 1 2 を広く汎用的に用いることができる。尚、スペーサ 2 0 は、交換基板 2 2 に固定して交換基板 2 2 と共に交換してもよく、また、バーンイン基板 1 2 側に固定して交換基板 2 2 の交換時には交換しないこととしてもよい。

【 0 0 4 1 】

また、図 1 に示す構造によれば、ソケットターミナル 2 4 と交換基板 2 2 との半田付けを外すことにより、ソケット 1 4 を交換基板 2 2 から取り外すことができる。ソケット 1 4 は、同種のパッケージが用いられる限り、ピン配置の相異に関わらず種々の半導体集積回路を収容することができる。従って、取り外したソケット 1 4 を、他の交換基板 2 2 に装着してバーンイン基板 1 2 に装着すれば、同種のパッケージを有する複数種類の半導体集積回路間で、同種のソケット 1 4 を共用することができる。

【 0 0 4 2 】

また、本実施形態の構造によれば、バーンイン基板 1 2 に、ソケットターミナル 2 4 を貫通させるためのスルーホールを設ける必要がない。このため、本実施形態では、一つの半導体集積回路を搭載するためにバーンイン基板 1 2 上に確保すべき占有面積を比較的小さく抑制することができる。このため、本実施形態の構造によれば、一枚のバーンイン基板 1 2 の上に多数の半導体集積回路を配置して、それらの検査を効率的に行うことができる。

【 0 0 4 3 】

また、本実施形態の構造においては、バーンイン基板 1 2 と交換基板 2 2 との間にスペーサ 2 0 に起因する空間が確保されている。半導体集積回路の電源端子や GND 端子に通じる電源用パターンや GND 用パターンに重畳するノイズを除去するためには、電源用パターンや GND パターンにバイパスコンデンサなどを設けることが有効である。本実施形態では、バーンイン基板 1 2 と交換基板 2 2 との間の空間内に、バイパスコンデンサを配置することができる。この点、本実施形態の構造は、検査工程で生ずるノイズの低減を図り、検査精度の向上を図るうえでも有効である。

【 0 0 4 4 】

ところで、上述した実施の形態 1 においては、中継ピン 1 8 とバーンイン基板 1 2 との接続、中継ピン 1 8 と交換基板 2 2 との接続、および交換基板 1 4 とソケットターミナル 2 4 との接続を、何れも半田付けで確保することとしているが、それらの接続手法は半田付けに限定されるものではない。すなわち、それらの接続は、例えば、中継ピン 1 8 やソケットターミナル 2 4 を勘合保持するピンソケットを利用して確保しても良い。

【 0 0 4 5 】

バーンイン基板 1 2 が、ピンソケットを使って中継ピン 1 8 を勘合保持する場合は、バーンイン基板 1 2 にダメージを与えることなく中継ピン 1 8 をバーンイン基板 1 2 から抜き取ることができる。従って、この場合は、交換基板 2 2 およびソケット 1 4 と共に、中継ピン 1 8 も交換部品としてもよい。

【 0 0 4 6 】

更に、上述した実施の形態 1 では、中継ピン 1 8 をソケット 1 4 の外側に配置することとしているが、中継ピン 1 8 のレイアウトはこれに限定されるものではない。すなわち、中継ピン 1 8 は、ソケット 1 4 の直下に収まるようにレイアウトしてもよい。この場合、中継ピン 1 8 がソケット 1 4 の外側に配置される場合に比して、更に優れたスペース効率を得ることができる。

【 0 0 4 7 】

実施の形態 2.

次に、図 3 および図 4 を参照して、本発明の実施の形態 2 について説明する。

図 3 は、本実施形態のバーンイン検査装置の主要部を説明するための図を示す。本実施形態の検査装置は、図 1 に示す交換基板 2 2 に代えて、フィルム状のシート基板 2 6 と補強板 2 8 とを備える点を除き、実施の形態 1 の検査装置と同様である。

【 0 0 4 8 】

図 4 (A) および図 4 (B) は、それぞれシート基板 2 6 の平面図、および補強板 2 8 の平面図を示す。また、図 4 (C) は、ソケット 1 4 とシート基板 2 6 と補強板 2 8 との組み立て体を補強板 2 6 側から示した斜視図である。図 4 (A) および図 4 (B) において、破線で示される長方形はソケット 1 4 が配置される領域を、また、破線で示される円はスペーサ 2 0 が配置される領域をそれぞれ表している。

【 0 0 4 9 】

図 4 (A) に示すように、シート基板 2 6 は、ソケットターミナル 2 4 との導通を得るためのスルーホール 3 0、および中継ピン 1 8 との導通を得るためのスルーホール 3 2 を備えている。また、図 4 (B) に示すように、補強板 2 8 には、ソケットターミナル 2 4 と補強板 2 8 との干渉を避けるための開口 3 4 と、中継ピン 1 8 を貫通させるためのスルーホール 3 6 とが設けられている。図 4 (C) に示すように、ソケットターミナル 2 4 は開口 3 4 を通って補強板 2 8 の裏面に貫通することができる。

【 0 0 5 0 】

本実施形態において、シート基板 2 6 には、実施の形態 1 における交換基板 2

2が備えるものと同様の配線パターンが形成されている。また、中継ピン18およびソケットターミナル24は、半田付け或いは勘合により、シート基板26のスルーホール30、32と導通している。従って、本実施形態の構造によっても、実施の形態1の場合と同様に、半導体集積回路の特定の端子を、検査装置本体の特定の端子に導通させることができる。

【0051】

本実施形態において、補強板28は、ソケットターミナル24が開口34内に収まる限り、種々のソケット14に対して、すなわち、種々の半導体集積回路に対して汎用的に用いることができる。つまり、本実施形態では、シート基板26とソケット14のみを交換することで、広範な種類の半導体集積回路に対処することができる。このため、本実施形態の構造によれば、実施の形態1の場合に比して、交換部分の価格をより安価とすることができる。

【0052】

実施の形態3.

次に、図5乃至図9を参照して本発明の実施の形態3について説明する。

図5は、本実施形態のバーンイン検査装置の特徴的構造を説明するための平面図を示す。図5に示すように、本実施形態において、検査装置本体10は、選択信号1～4を発生する端子、信号A～Dを発生する端子、および複数のI/O端子(I/00～I/03を含む)を備えている。

【0053】

選択信号1～4は、バーンイン基板12上に配列された複数の半導体集積回路を、行単位で活性化させるための信号である。信号A～Dは、全ての半導体集積回路に供給すべき信号である。また、I/O端子は、バーンイン基板12上に配列された複数の半導体集積回路のうち、列方向に並ぶもの同士が共用すべき端子である。

【0054】

図5において、バーンイン基板12上に表示される領域38は、一つの半導体集積回路に割り当てられた回路搭載領域である。本実施形態において、バーンイン基板12上には、回路搭載領域38の各列に対応して結線ユニット40が一つ

ずつ設けられている。個々の結線ユニット 4 0 には、各列に属する全ての回路搭載領域 3 8 中の特定の中継ピン 1 8 に通じる配線パターン 4 2 が導通している。結線ユニット 4 0 は、その配線パターン 4 2 に、選択信号 1 ～ 4 の任意の一つを伝搬させることができるように構成されている。

【 0 0 5 5 】

図 6 は、結線ユニット 4 0 の構造をより詳細に説明するための図を示す。具体的には、図 6 は、結線ユニット 4 0 が備えるピンソケット 4 4 の断面斜視図を示す。結線ユニット 4 0 は、図 6 に示すピンソケット 4 4 を、選択信号 1 ～ 4 のそれぞれに対応して備えている。ピンソケット 4 4 は、その内部にピン 4 6 が挿入されている場合に限り、選択信号 1 ～ 4 を配線パターン 4 2 に伝搬させる。従って、本実施形態においては、所望の選択信号に対応するピンソケット 4 4 にピン 4 6 を挿入することにより、回路搭載領域 3 8 中の特定の中継ピン 1 8 に所望の選択信号を導くことができる。

【 0 0 5 6 】

ところで、複数の信号経路のうち任意の一つを中継ピン 1 8 に導く手法は、ピンソケット 4 4 を用いる手法に限られるものではない。例えば、図 7 に示すように、複数の素子実装パターン 4 7 の一部だけに短絡素子 4 8 を実装することで任意の信号経路だけを導通させることとしてもよい。また、信号経路の途中にディップスイッチを設け、その状態を適宜切り替えることにより所望の信号経路だけを導通させることとしてもよい。

【 0 0 5 7 】

上述の如く、結線ユニット 4 0 は、適当な結線構造を採ることで、複数の選択信号 1 ～ 4 のうち所望の信号だけを、各列に属する全ての回路搭載領域 3 8 中の特定の中継ピン 1 8 に伝搬させることができる。従って、本実施形態の検査装置によれば、その特定の中継ピン 1 8 を、容易に、所望の選択信号に対応するピンとすることができる。

【 0 0 5 8 】

バーンイン基板 1 2 上には、更に、回路搭載領域 3 8 の各行に対応して結線ユニット 4 9 が一つずつ設けられている。個々の結線ユニット 4 9 には、複数の配

線パターン 50 を介して、各行に属する全ての回路搭載領域 38 中の複数の中継ピン 18 が導通している。結線ユニット 49 は、上述した結線ユニット 40 と同様に、適当な結線構造を採ることで特定の信号を任意の配線パターン 50 に供給できるように構成されている。

【0059】

より具体的には、結線ユニット 49 は、信号 A～D を、全ての回路搭載領域 38 中の任意の中継ピン 18 に伝搬させることができるように構成されていると共に、個々の I/O 端子を、個々の行に属する全ての回路搭載領域 38 中の任意の中継ピン 18 に導通させることができるように構成されている。従って、本実施形態の検査装置によれば、容易に、回路搭載領域 38 中の任意の中継ピン 18 を信号 A～D に対応するピンとし、また、回路搭載領域 38 中の任意の中継ピン 18 を各行毎に定められた I/O 端子に接続させることができる。

【0060】

図 8 (A) および図 8 (B) は、図 5 に示すバーンイン基板 12 を用いることで得られる効果を説明するための図を示す。より具体的には、図 8 (A) は、第 1 の検査対象である IC 1 と、その IC 1 を検査するために用いられる交換基板 22 A の平面図を示す。また、図 8 (B) は、第 2 の検査対象である IC 2 と、その IC 2 を検査するために用いられる交換基板 22 B の平面図を示す。尚、これらの図においては、簡単のため、ソケット 14 の図示は省略している。

【0061】

図 8 (A) および図 8 (B) に示す例では、IC 1 および IC 2 が備える全ての端子に対応して中継ピン 8 が準備されている。IC 1 と IC 2 とは、パッケージは同じであるが、ピン配置が大きく異なっている。すなわち、IC 1 と IC 2 とでは、Vdd 端子（電源端子）および GND 端子の位置が相異していると共に、全ての信号端子（/CS 端子、SIG0 端子、SIG1 端子、DQ0 端子）の位置が相異している。この場合、個々の中継ピン 18 に割り振られる機能が固定されていると、交換基板上に複雑なクロス配線が必要となることがある（図 11 (B) 参照）。

【0062】

これに対して、本実施形態では、バーンイン基板 12 上で任意の結線状態を実

現することにより、個々の中継ピン 1 8 に対して所望の機能を自由に割り振ることができる。このため、図 8 (A) および図 8 (B) に示すように、本実施形態では、交換基板 2 2 A, 2 2 B 上に複雑なクロス配線を形成することなく、I C 1 および I C 2 の全ての端子に、所望の結線を施すことができる。この点、本実施形態の検査装置は、実施の形態 1 又は 2 の装置に比して、交換部分の価格を更に安価にし得るという効果を有している。

【 0 0 6 3 】

次に、図 9 を参照して、実施の形態 1 乃至 3 の検査装置において使用し得る他の交換基板 2 2 C について説明する。

図 9 は、交換基板 2 2 C の透視図を示す。尚、図 9 においては、簡単のため、I C 2 を収納するためのソケット 1 4 の表示を省略している。

【 0 0 6 4 】

交換基板 2 2 C は、多層配線構造を有しており、その一つの層内に Vdd エリア 5 2 および GND エリア 5 4 を備えている。Vdd エリア 5 2 は、所定形状の広い面積を有する導電領域であり、電源電圧の供給を受ける中継ピン 1 8 と I C 2 の Vdd 端子との間に設けられている。一方、GND エリア 5 4 は、所定形状の広い面積を有する導電領域であり、接地される中継ピン 1 8 と I C 2 の GND 端子との間に設けられている。

【 0 0 6 5 】

交換基板 2 2 C は、更に、その裏面側、すなわち、バーンイン基板 1 2 と対向する側の面に、バイパスコンデンサ 5 6 を備えている。交換基板 2 2 C は、実施の形態 1 または 2 の場合と同様に、スペーサ 2 0 を介してバーンイン基板 1 2 に固定される。このため、交換基板 2 2 C の裏面側には、バーンイン基板 1 2 との干渉を生ずることなくバイパスコンデンサ 5 6 を配置することができる。上述した交換基板 2 2 C によれば、Vdd エリア 5 2, GND エリア 5 4, およびバイパスコンデンサ 5 6 の機能により、電源電流の変動に起因するノイズの発生などを効果的に防止することができる。

【 0 0 6 6 】

ところで、上述した実施の形態 1 乃至 3 では、半導体集積回路の検査装置がバ

ーンイン検査装置に限定されているが、本発明はこれに限定されるものではない。すなわち、本発明は、バーンイン検査装置に限らず、ベース基板上に複数の半導体集積回路を搭載してそれらの検査を一挙に実行する形式の装置に広く適用することができる。

【 0 0 6 7 】

【発明の効果】

この発明は以上説明したように構成されているので、以下に示すような効果を奏する。

請求項 1 記載の発明によれば、交換基板とソケットを交換することで、単一のベース基板を用いつつ多種多様な半導体集積回路に対処することができる。交換基板を中継ピンから取り外して交換する場合は、ベース基板に何らダメージを与えることなくその交換が実行できる。また、ソケットは交換基板に搭載されているため、ベース基板に何らダメージを与えることなくソケットの再利用を図ることができる。また、ベース基板にソケットターミナル用のスルーホールなどを設ける必要がないため、ベース基板上のスペースを有効に利用することができる。更に、ベース基板と交換基板との間にスペースが確保されるため、そのスペース内に、バイパスコンデンサ等の素子を搭載することが可能となる。

【 0 0 6 8 】

請求項 2 記載の発明によれば、交換基板を安価なシート基板とすることができる。このため、本発明によれば、交換部分の価格を下げることができる。

【 0 0 6 9 】

請求項 3 記載の発明によれば、交換基板がピンソケットで中継ピンを保持するため、交換基板の着脱を容易に行うことができる。

【 0 0 7 0 】

請求項 4 記載の発明によれば、ベース基板がピンソケットで中継ピンを保持するため、ベース基板にダメージを与えることなく、ベース基板から中継ピンを取り外すことができる。従って、本発明によれば、ベース基板の劣化を促進することなく、中継ピンを含む部分を交換部分とすることができる。

【 0 0 7 1 】

請求項 5 記載の発明によれば、ベース基板の、交換基板と対向する面に、スペーサによって確保されるスペースを利用して、バイパスコンデンサなどの回路素子を搭載することができる。

【 0 0 7 2 】

請求項 6 記載の発明によれば、交換基板の、ベース基板と対向する面に、スペーサによって確保されるスペースを利用して、バイパスコンデンサなどの回路素子を搭載することができる。

【 0 0 7 3 】

請求項 7 記載の発明によれば、検査装置本体の端子に通じる接続端子と、半導体集積回路の端子に結線される配線パターンとの結線状態を、結線ユニットにより変更することができる。つまり、本発明によれば、ベース基板上の配線パターンに割り振られる役割を、結線ユニットを用いて変更することができる。従って、本発明によれば、個々の半導体集積回路のワードビット構成に応じた効率的な状態を実現することができる。更に、本発明によれば、ベース基板上に交換基板が搭載される場合には、その交換基板内の配線パターンを簡単化することができる。

【 0 0 7 4 】

請求項 8 記載の発明によれば、適当なピンソケットだけにピンを挿入することで、接続端子と配線パターンとの結線状態を容易に所望の状態とすることができる。

【 0 0 7 5 】

請求項 9 記載の発明によれば、素子実装パターンに適当に短絡素子を実装することにより、接続端子と配線パターンとの結線状態を容易に所望の状態とすることができる。

【 0 0 7 6 】

請求項 10 記載の発明によれば、ディップスイッチの状態を適当に切り替えることにより、接続端子と配線パターンとの結線状態を容易に所望の状態とすることができる。

【 0 0 7 7 】

請求項 1 1 記載の発明によれば、汎用性に優れた検査装置を用いて、種々の半導体集積回路を効率的に検査することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 のバーンイン検査装置の主要部を表す図である。

【図 2】 実施の形態 1 のバーンイン検査装置の全体構成を説明するための概念図である。

【図 3】 本発明の実施の形態 2 のバーンイン検査装置の主要部を表す図である。

【図 4】 図 3 に示すシート基板および補強板の平面図、並びにシート基板、補強板、およびソケットからなる組み立て体を裏面側から表した斜視図である。

【図 5】 本発明の実施の形態 3 のバーンイン検査装置の全体構造を説明するための図である。

【図 6】 図 5 に示すバーンイン検査装置が備える結線ユニットの一例であるピンソケットの斜視図である。

【図 7】 図 5 に示すバーンイン検査装置が備える結線ユニットの他の例である素子実装パターンおよび短絡素子の斜視図である。

【図 8】 実施の形態 3 のバーンイン検査装置の効果を説明するための交換基板の平面図である。

【図 9】 実施の形態 1 乃至 3 で使用可能な交換基板の他の例の平面図である。

【図 1 0】 従来の検査装置の主要部を表す斜視図である。

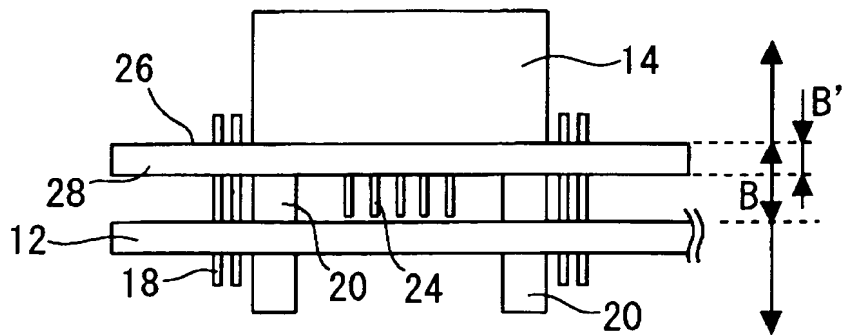
【図 1 1】 従来の検査装置の問題を説明するための交換基板の平面図である。

【符号の説明】

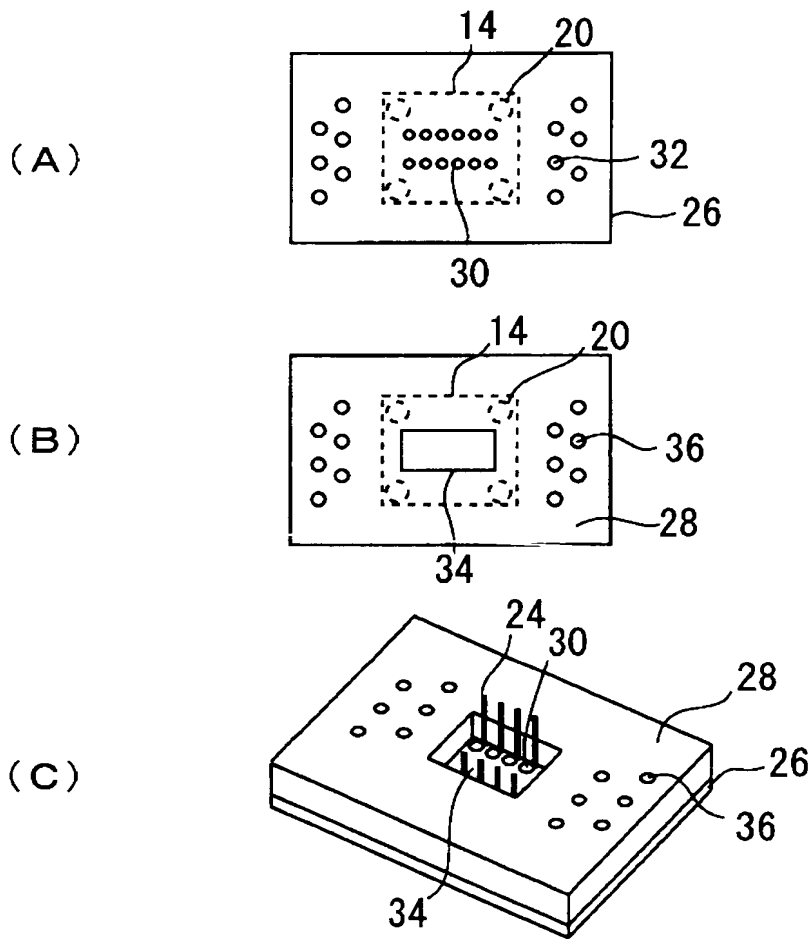
1 2 バーンイン基板、 1 4 ソケット、 1 8 中継ピン、 2 0
 スペース、 2 2 ; 2 2 A, 2 2 B ; 2 2 C 交換基板、 2 4 ソケッ
 トターミナル、 2 6 シート基板、 2 8 補強板、 4 0, 4 9 結

線ユニット、 4 2, 5 0 配線パターン、 4 4 ピンソケット、 4
6 ピン、 4 7 素子実装パターン、 4 8 短絡素子、 5 2 Vdd
エリア、 5 4 GNDエリア。

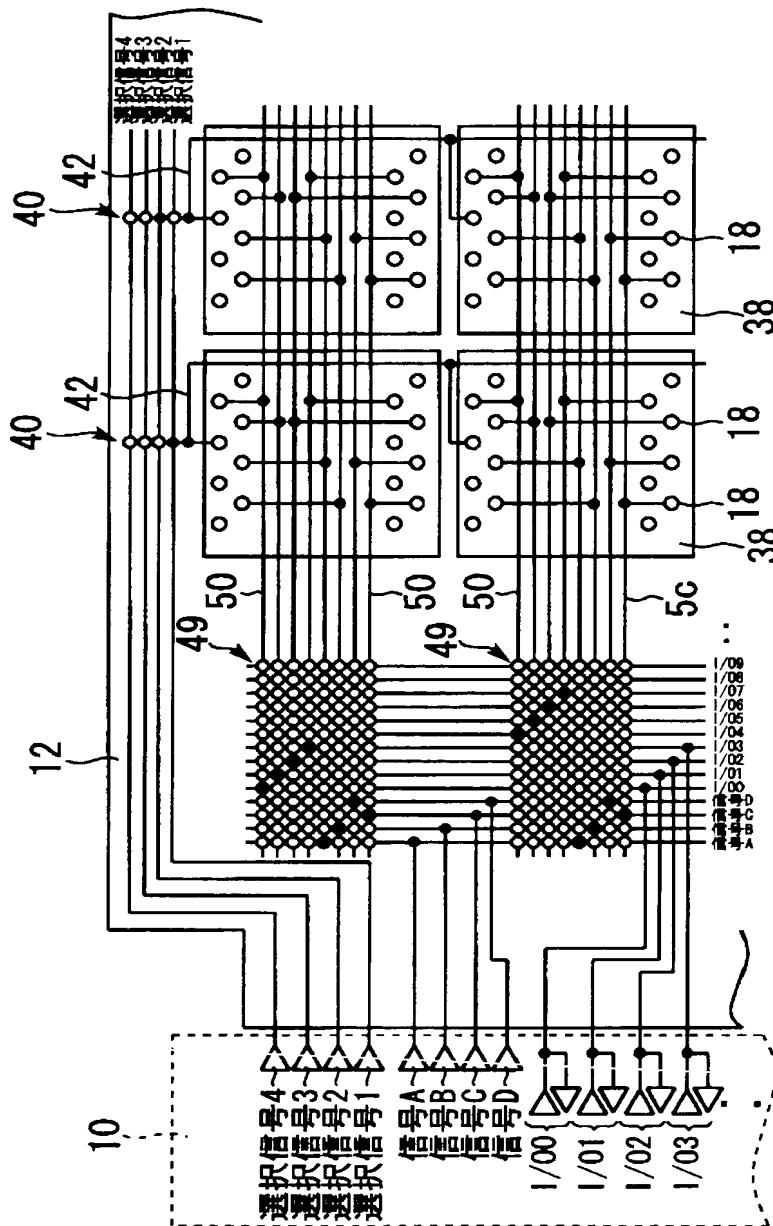
【図 3】



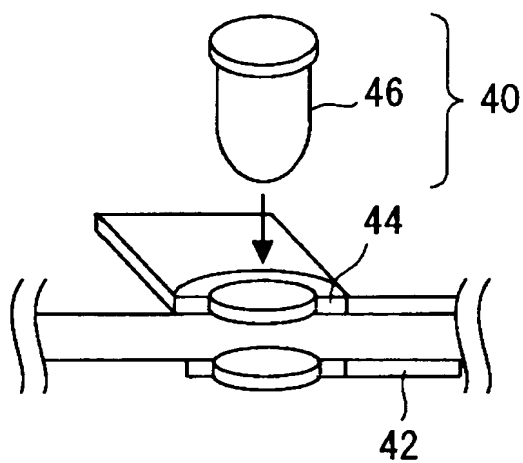
【図 4】



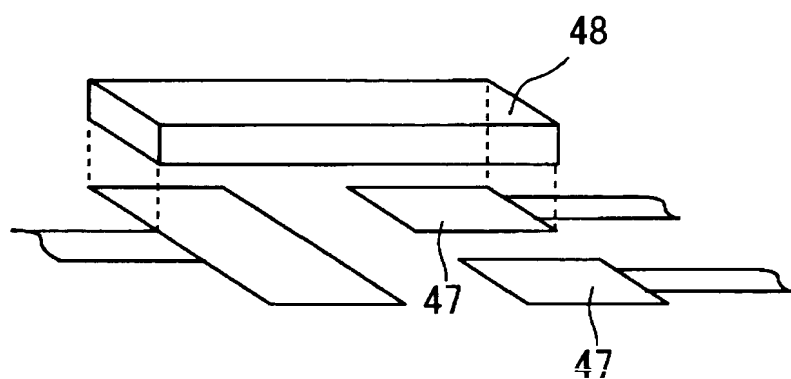
【図 5】



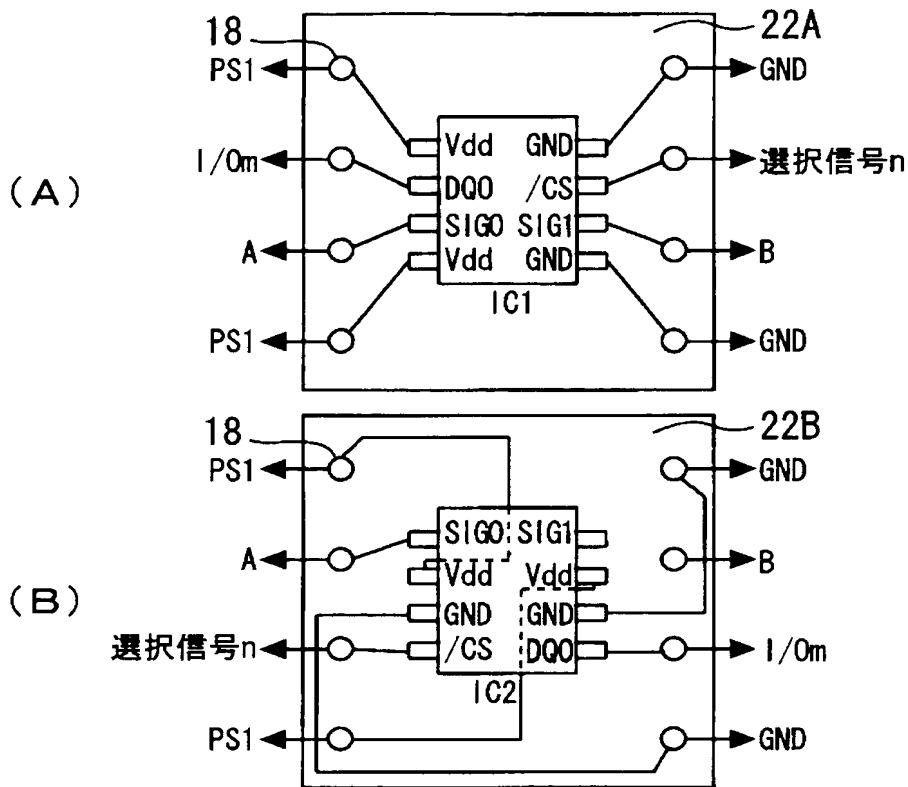
【図 6】



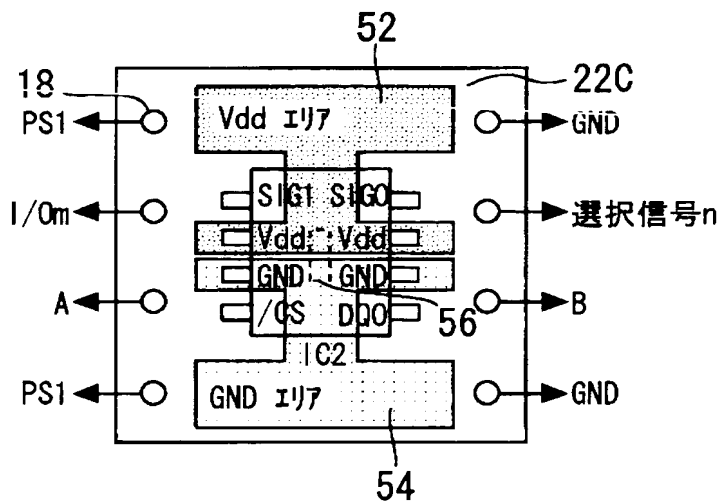
【図 7】



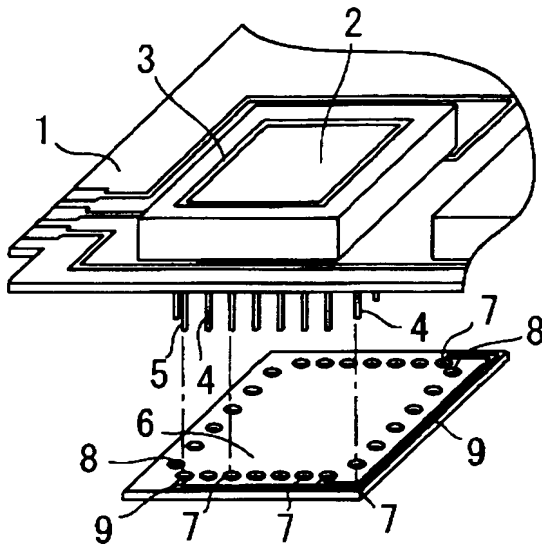
【図 8】



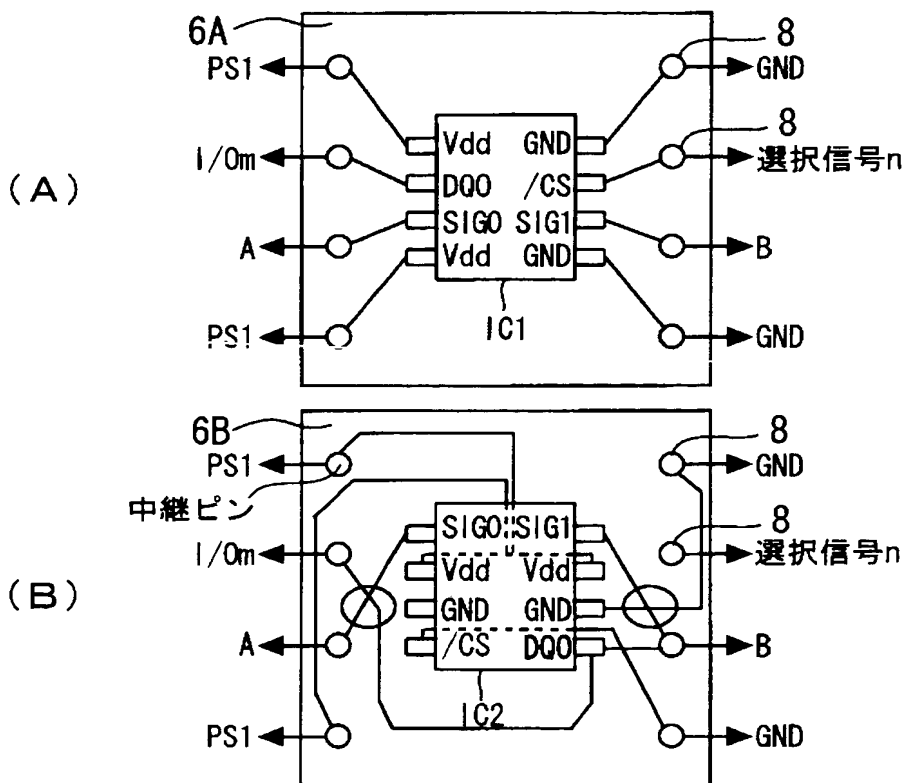
【図 9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 本発明はバーンイン検査の実行に適した検査装置に関し、種々の半導体集積回路に対する汎用性を高めることを目的とする。

【解決手段】 ベース基板 1 2 の配線パターンと導通する複数の中継ピン 1 8 を設ける。ベース基板 1 2 上に、半導体集積回路を収容するソケット 1 4 を搭載する。ソケット 1 4 が有するソケットターミナル 2 4 を、特定の中継ピン 1 8 に導通させる交換基板 2 2 を設ける。交換基板 2 2 をスペーサ 2 0 を介してベース基板 1 2 上に搭載する。半導体集積回路の種類に応じて、交換基板 2 2 およびソケット 1 4 を交換する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社